

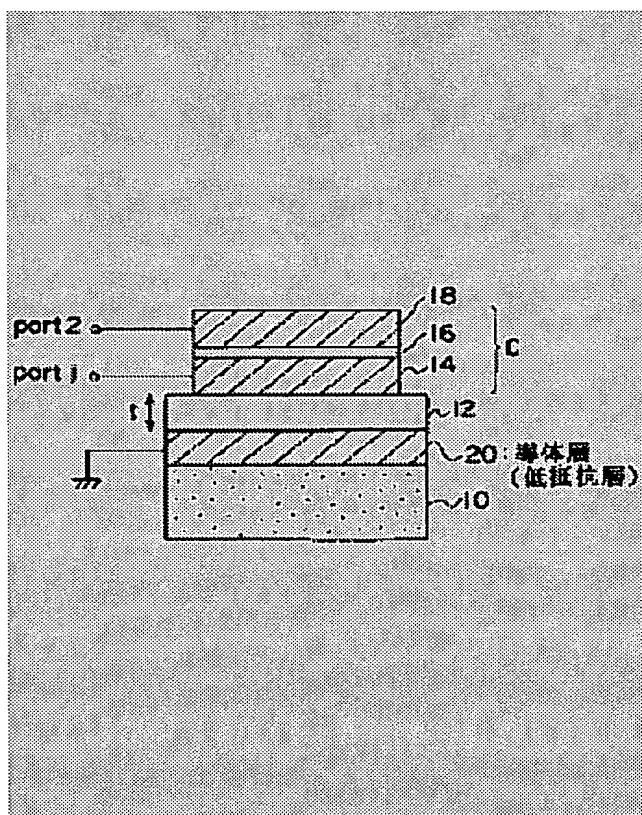
CAPACITOR

Patent number: JP2001060661
Publication date: 2001-03-06
Inventor: KATO REI
Applicant: JAPAN RADIO CO LTD
Classification:
- International: H01L27/04; H01L21/822
- european:
Application number: JP19990236405 19990824
Priority number(s):

Abstract of JP2001060661

PROBLEM TO BE SOLVED: To prevent a drop of Q value by a resistance to the earth producing in a semiconductor substrate by forming a lower resistance layer than the substrate between the first insulating layer and the substrate in which a first insulation layer, a first conductive layer, a dielectric layer and a second conductive layer are laminated in sequence.

SOLUTION: A conductive layer (low resistance layer) 20 which is lower in resistance than a semiconductor substrate 10 is formed between an insulation layer 12 and the semiconductor substrate 10. Thus, a current flows into the conductive layer 20 through the insulation layer 12 from a conductive layer 14, and it hardly flows into the semiconductor substrate 10. An insulation layer made of oxide film or nitride film may be formed between the conductive layer 20 and semiconductor substrate 10. The formation of the conductive layer 20 reduced a resistance to the earth, and the Q value of a MIM capacitor is made large at a port 1. Since the Q value is improved as the resistance to the earth is reduced, the noise index of an amplifier using a MIM capacitor C can be reduced and a ratio of a carrier of an oscillator output to a noise can be improved.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-60661

(P2001-60661A)

(43) 公開日 平成13年3月6日 (2001.3.6)

(51) Int.Cl.

H 0 1 L 27/04
21/822

識別記号

F I

H 0 1 L 27/04

サーチワード(参考)

C 5 F 0 3 8

審査請求 未請求 請求項の数3 O L (全 4 頁)

(21) 出願番号 特願平11-236405

(22) 出願日 平成11年8月24日 (1999.8.24)

(71) 出願人 000004330

日本無線株式会社

東京都三鷹市下連雀5丁目1番1号

(72) 発明者 加藤 礼

東京都三鷹市下連雀5丁目1番1号 日本無線株式会社内

(74) 代理人 100075258

弁理士 吉田 研二 (外2名)

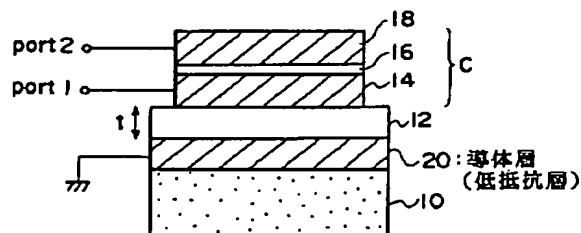
Fターム(参考) 5F038 AC03 AC05 AC07 AC15 AR30
EZ01 EZ14 EZ15 EZ20

(54) 【発明の名称】 キャパシタ

(57) 【要約】

【課題】 MIMキャパシタのQ値を改善する。

【解決手段】 半導体基板10とMIMキャパシタCとの間に導体層20を設ける。低抵抗である導体層20が存在するため、MIMキャパシタの対GND抵抗が減少し、MIMキャパシタCのQ値が改善される。



【特許請求の範囲】

【請求項1】 半導体基板上に、第1の絶縁層、第1の導体層、誘電体層及び第2の導体層がこの順で積層形成されており、第1及び第2の導体層により誘電体層を挟んで静電容量を発生させ、第1の導体層と半導体基板の間を第1の絶縁層により絶縁するキャパシタにおいて、半導体基板と第1の絶縁層との間に、少なくとも半導体基板よりその抵抗値が小さい低抵抗層が形成されたことを特徴とするキャパシタ。

【請求項2】 請求項1記載のキャパシタにおいて、半導体基板と低抵抗層との間に、第2の絶縁層が形成されたことを特徴とするキャパシタ。

【請求項3】 請求項1又は2記載のキャパシタにおいて、低抵抗層が、第3の導体層であることを特徴とするキャパシタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体基板上に積層形成されるキャパシタ、例えばMIM(Metal Insulator or Metal)キャパシタに関する。

【0002】

【従来の技術】 図5に、一従来技術に係るMIMキャパシタの構成を示す。図5(1)及び(2)に示すように、従来におけるMIMキャパシタは、Si等の半導体基板10上に、絶縁層12、導体層14、誘電体層16及び導体層18をこの順で積層形成した構造を有している。導体層14及び18並びにこれらに挟まれる誘電体層16により静電容量Cが生ずる。各導体層は例えばAl等により、絶縁層12や誘電体層16は酸化膜又は窒化膜として、それぞれ形成する。誘電体層16は薄膜処理によって形成される例えば0.2 μ m程度の膜厚を有する層であり、他の層は例えば1~2 μ m程度の膜厚を有する層である。導体層14及び導体層18からは、他の回路素子との接続のためのport1及びport2(図5(1)中、左右に延びている部分)が設けられている。

【0003】

【発明が解決しようとする課題】 図5(3)に、図5(1)及び(2)に示したMIMキャパシタの集中定数等価回路を示す。図中、一点鎖線で囲まれている抵抗R1及び容量C1は、導体層14から絶縁層12を介し半導体基板10に至る経路にて生ずる素子、即ち対GND抵抗及び容量である。Ls及びRsは、MIMキャパシタの等価直列インダクタンス及び抵抗である。

【0004】 port1からみたMIMキャパシタのQ1は、port2を接地しport1側から抵抗及びリアクタンスを測定することにより、求めることができる。ここに、半導体基板10は、通常は導体に比べて高い抵抗値を有している。そのため、対GND抵抗R1

は、従来、port1からみたMIMキャパシタのQ値に、無視し得ない低下をもたらしていた。

【0005】 本発明は、このような問題点を解決することを課題としてなされたものであり、半導体基板10によって生じていた大きな対GND抵抗、ひいてはそれによるQ値の低下を防ぎ、従来よりもQ値が改善されたキャパシタを実現することを、その目的とする。

【0006】

【課題を解決するための手段】 このような目的を達成するために、本発明は、半導体基板上に、第1の絶縁層、第1の導体層、誘電体層及び第2の導体層がこの順で積層形成されており、第1及び第2の導体層により誘電体層を挟んで静電容量を発生させ、第1の導体層と半導体基板の間を第1の絶縁層により絶縁するキャパシタにおいて、半導体基板と第1の絶縁層との間に、少なくとも半導体基板よりその抵抗値が小さい低抵抗層が形成されたことを特徴とする。この低抵抗層は、好ましくは第3の導体層とする。更に、半導体基板と低抵抗層との間に、第2の絶縁層を形成するのが望ましい。

【0007】 このように、本発明においては、半導体基板と第1の絶縁層との間に低抵抗層が形成される。従って、従来であれば第1の導体層から第1の絶縁層を介して半導体基板に流れていた電流は、第1の導体層から第1の絶縁層を介して低抵抗層に流れることになるため、MIMキャパシタと並列に発生する抵抗(前述の例では対GND抵抗)の値が、低減されることになる。更に、この低抵抗層と半導体基板との間に第2の絶縁層を設けることにより、低抵抗層を接地電位に保持する必要がなくなるため、この低抵抗層を例えば電源電位に保持する構造も可能になる。

【0008】

【発明の実施の形態】 以下、本発明の好適な実施形態に関し、図面に基づき説明する。なお、図5に示した従来技術と同様の又は対応する構成には同一の符号を付し、重複する説明を省略する。

【0009】 図1に、本発明の第1実施形態に係るMIMキャパシタの構造を示す。本実施形態においては、絶縁層12と半導体基板10の間に導体層(低抵抗層)20を設けている。導体層20は例えばAl等により形成するが、半導体基板10よりも抵抗値が小さい材質であれば、他の材質を用いても構わない。このように、導体層20を絶縁層12と半導体基板10との間に設けることにより、導体層14から絶縁層12を介して導体層20に電流が流れることになり、半導体基板10へは電流が流れなくなるため、図5(3)に示した対GND抵抗R1の値が従来より小さくなる。

【0010】 図2に、本発明の第2実施形態に係るMIMキャパシタの構造を示す。本実施形態においては、導体層20と半導体基板10との間に更に絶縁層22が設けられている。絶縁層22は、酸化膜、窒化膜等であ

り、また、導体層20は電源電位Vccに保持されている。このように、本発明を実施する際には、導体層20を必ずしも接地電位とする必要はない。但し、接地電位以外の電位とする場合、本実施形態の如く絶縁層22を設ける必要がある。

【0011】上述の各実施形態においては、いずれも、導体層20を設けることによって対GND抵抗R1の値を小さくしている。図3に示すように、対GND抵抗R1の値が小さくなると、port1からみたMIMキャパシタのQ値が高くなる。従って、上述した各実施形態によれば、従来に比べQ値が改善されたMIMキャパシタを得ることができる。具体的には、従来であれば例えば88Ωであった対GND抵抗R1を、1~6Ω程度まで低減することができ、これに応じてQ値を改善できる。その結果、例えば、MIMキャパシタを用いた増幅器の雑音指数を低減することや、MIMキャパシタを用いた発振器の出力のキャリア対雑音比を改善することができる。

【0012】なお、図4に示すように、通常のSi基板による対GND抵抗R1や上述の各実施形態における対GND抵抗R1が属する領域Iでは、対GND抵抗R1の減少に伴いQ値が上昇する。しかし、これよりも対GND抵抗R1の値が大きな領域IIでは、対GND抵抗R1の値が増大するのに伴いQ値が上昇していく。従って、対GND抵抗R1を顕著に増大させることによって、Q値を改善することが可能である。しかし、そのためには、半導体基板10として例えば高抵抗Si基板を用いるといった材質・工程の変更が必要になる。本発明の実施に際しては、その種の変更は必要とされない。また、図5(3)に示した対GND容量C1を非常に小さくすることによっても、Q値を改善することができる。しかし、それには、絶縁層12の厚さtを非常に大きくする、絶縁層12の材質をその比誘電率が非常に小さな材質とする等の工夫が必要となる。本発明を実施する際には、絶縁層12の厚さtや材質を変更する必要もない。従って、本発明は、対GND抵抗R1を大きくしたりあるいは対GND容量C1を小さくすることによってQ値を改善する例に比べ、その実施が容易であると言え*

＊る。

【0013】更に、例えば「Si3次元MMIC構造に適した高Qモノリシックインダクタとその応用」(嶋川他、1999年電子情報通信学会総合大会C-2-1、pp. 39)に記載されているように、モノリシックインダクタを作成する際に半導体基板上に酸化膜等を介して接地導体を配置することが、従来から知られている。半導体基板10の上に導体層20を配置している点から見て、本発明の好ましい実施形態は、上記文献に記載されたものと構造上共通する側面を有していると言える。しかしながら、上述した文献に記載されているモノリシックインダクタにおいては、インダクタを構成するスパイラル状の導体の直下には、静電容量の発生を防ぐために、接地導体は配置されていない。本発明の上述した各実施形態においては、静電容量Cを発生させるための導体層14の直下にも導体層20を積極的に配置し、それによって対GND抵抗R1を低減してQ値を向上させている。従って、本発明に係るキャパシタは、上述した文献に記載のモノリシックインダクタとは、構造上及び原理上、本質的に相違していると言える。

【図面の簡単な説明】

【図1】 本発明の第1実施形態に係るMIMキャパシタのAA断面図である。

【図2】 本発明の第2実施形態に係るMIMキャパシタのAA断面図である。

【図3】 対GND抵抗をパラメタとしてQ値の周波数特性を示すグラフである。

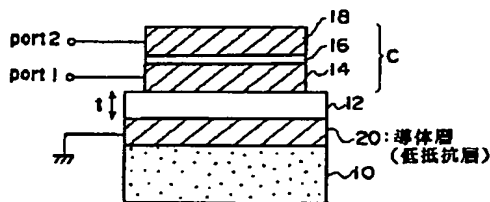
【図4】 対GND抵抗の増減に伴うQ値の変動を示すグラフである。

【図5】 従来におけるMIMキャパシタの一例構成を示す図であり、(1)は上から見た平面図、(2)はAA断面図、(3)は集中定数等価回路図である。

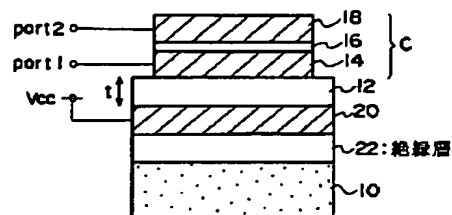
【符号の説明】

10 半導体基板、12、22 絶縁層、14、18、20 導体層、16誘電体層、C MIMキャパシタ及びその静電容量、R1 対GND抵抗、C1対GND容量。

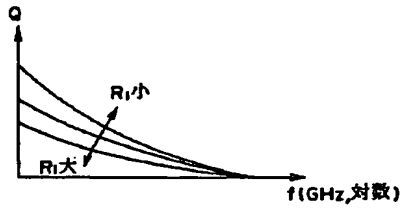
【図1】



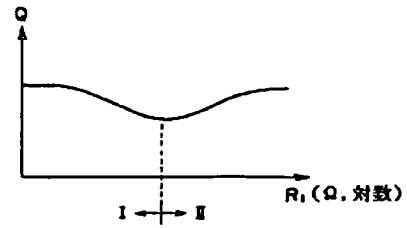
【図2】



【図3】



【図4】



【図5】

